

# Jedno rešenje FPGA platforme za verifikaciju audio kodeka

Nikola Krmpotić, Zoran Krajačević, Mihajlo Katona, Branislav Atlagić

**Sadržaj** — U ovom radu je prikazano jedno rešenje FPGA platforme za početnu fazu razvoja programske podrške audio kodeka uz pomoć IP jezgra procesora za obradu digitalnih signala.

**Ključne reči** — DSP, FPGA, ASIC prototyping, audio CODEC, IP core.

## I. UVOD

VREMENSKI PERIOD razvoja, proizvodnje i izlaska na tržište integrisanih kola, a posebno namenskih procesora, kao što je u ovom radu opisani procesor za obradu digitalnih signala, je sve kraći. Ranije su programeri bili prinuđeni da čekaju na prve primerke procesora kako bi započeli razvoj programske podrške. U poslednjih nekoliko godina projektovanje prototipova integrisanih kola (ili njihovih delova) uz pomoć FPGA (*Field Programmable Gate Array*) je postalo jedan od osnovnih načina da se ovaj vremenski period skрати, i programerima obezbedi platforma za razvoj programske podrške.

Razlog korišćenja FPGA kola za verifikaciju rada audio kodeka je zbog njegove otvorene i lako promenljive strukture. Savremene platforme sa više FPGA pružaju mogućnost povezivanja FPGA na različite standardne sprege, kao što su u ovom slučaju I2C, I2S, SPDIF, ...

Unutrašnja fizička arhitektura FPGA komponenata zahteva izmene referentnog RTL (*Register Transfer Level*) koda koji se koristi u sintezi ASIC (*Application Specific Integrated Circuit*) integrisanih kola. Zato je u procesu projektovanja rešenja na FPGA, bilo potrebno ponoviti funkcionalnu verifikaciju (simulaciju) prilagođenog RTL koda.

U ovom rešenju je projektovan i praktično testiran FPGA prototip DSP (*Digital Signal Processor*), sa fiksnim zarezom, širine reči 20 bita, Harvard arhitekture.

Rad je delimično podržan u okviru projekta TR6136B Ministarstva za nauku i zaštitu životne sredine Republike Srbije.

Nikola Krmpotić, Fakultet Tehničkih Nauka, Novi Sad, Srbija, (telefon: 381-64-2754653), e-mail: [nikola.krmpotic@krt.neobee.net](mailto:nikola.krmpotic@krt.neobee.net)

Zoran Krajačević, MicronasNIT Novi Sad, Srbija (telefon: 381-21-4801125), e-mail: [zoran.krajacevic@micronas.com](mailto:zoran.krajacevic@micronas.com)

Mihajlo Katona, Fakultet Tehničkih Nauka, Novi Sad, Srbija, (telefon: 381-21-480126), e-mail: [mihajlo.katona@krt.neobee.net](mailto:mihajlo.katona@krt.neobee.net)

Branislav Atlagić, Fakultet Tehničkih Nauka, Novi Sad, Srbija, (telefon: 381-21-4801133), e-mail: [branislav.atlagic@krt.neobee.net](mailto:branislav.atlagic@krt.neobee.net)

## II. REFERENTNI MODEL IP JEZGRA DSP I NJEGOVO PRILAGOĐENJE

DSP IP (*Intellectual Property*) jezgro je prvenstveno namenjeno kodovanju i dekodovanju govora i muzike. Korišćeni DSP je procesor sa protočnom strukturom, gde se po jedna instrukcija zahvata u svakom taktu. Vreme izvršavanja instrukcije traje nekoliko taktova. Veličina memorijske reči od 20 bita je ista za podatke kao i za kodove instrukcija i omogućava obradu visoko kvalitetnih audio signala bez gubljenja na kvalitetu. Izvorni ASIC RTL kod DSP IP jezgra je dobijen od naručioca projekta, koji je zahteva potpunu diskreciju.

Tokom razvoja platforme za verifikaciju audio kodeka bilo je potrebno, usled razlika u arhitekturi, izvršiti prilagođenje izvornog ASIC RTL koda DSP IP jezgra na FPGA RTL kod. ASIC RTL kod za opis memorije zamenjen je pomoću namenskih memorijskih blokova – BRAM (*Block RAM*). Takođe su značajno proširene kako memorije podataka tako i programske memorije u odnosu na referentni ASIC RTL kod. Pošto unutar Virtex2 FPGA integrisanih kola postoje realizovani elementi za kontrolu takta – DCM (*Digital Clock Manager*) u referentnom ASIC RTL kodu je zamenjen modul generatora frekvencija, delitelja frekvencija i faznih pomeraca takta sa DCM modulima. Pomoću DCM modula je moguće ulaznu frekvenciju takta pomnožiti i/ili podeliti kao i fazno pomeriti takt.

## III. FUNKCIONALNA SIMULACIJA PRILAGOĐENOG IP JEZGRA

Prvi korak u ispitivanju ispravnosti rada rešenja predstavlja simulacija RTL koda rada predmeta projekta. Simulacija RTL koda može biti funkcionalna i vremenska. Kod funkcionalne simulacije proverava se logička ispravnost RTL koda, dok se kod vremenske simulacije pored logičke ispravnosti uzima u obzir i kašnjenje signala u realnim sistemima.

DSP program za verifikaciju memorije podataka proverava funkcionalnost operacija koje se izvode nad svim memorijskim lokacijama (operacije upisa i čitanja podataka u memoriju). Takođe je proverena i programska memorija na izvršavanje instrukcija. Višekanalna I2S (*Inter IC Sound*) spreaga [5], je verifikovana proverom da li se preko nje pravilno razmenjuju podaci sa okruženjem - pisanje podataka koje okruženje šalje u memoriju podataka i čitanje podataka iz memorije podataka i slanje ka okruženju.

Za funkcionalnu i vremensku analizu je korišćen programski paket za simulaciju NCSim firme Cadance [4]**Error! Reference source not found..**

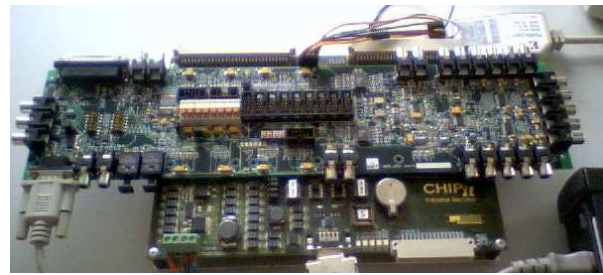
#### IV. SINTEZA PRILAGOĐENOG IP JEZGRA I IMPLEMENTACIJA NA FPGA PLATFORMI

Za prevođenje RTL koda koristi se programski paket Certify firme Synplicity [9]**Error! Reference source not found..** Ovaj paket je namenjen upravo ispitivanju RTL koda za integrisana kola na platformama sa više FPGA integrisanih kola, jer ima ugrađenu mogućnost za podelu (*partitioning*) RTL koda kada resursi koje koristi ispitivani RTL kod premašuju resurse koji postoje u jednom FPGA integrisanom kolu [8]**Error! Reference source not found..**

Posle završenog procesa preslikavanja (*mapping*) logike u FPGA strukturi i raspoređivanja i povezivanja (*place and route*), FPGA integrisana kola su spremna za konfiguraciju.

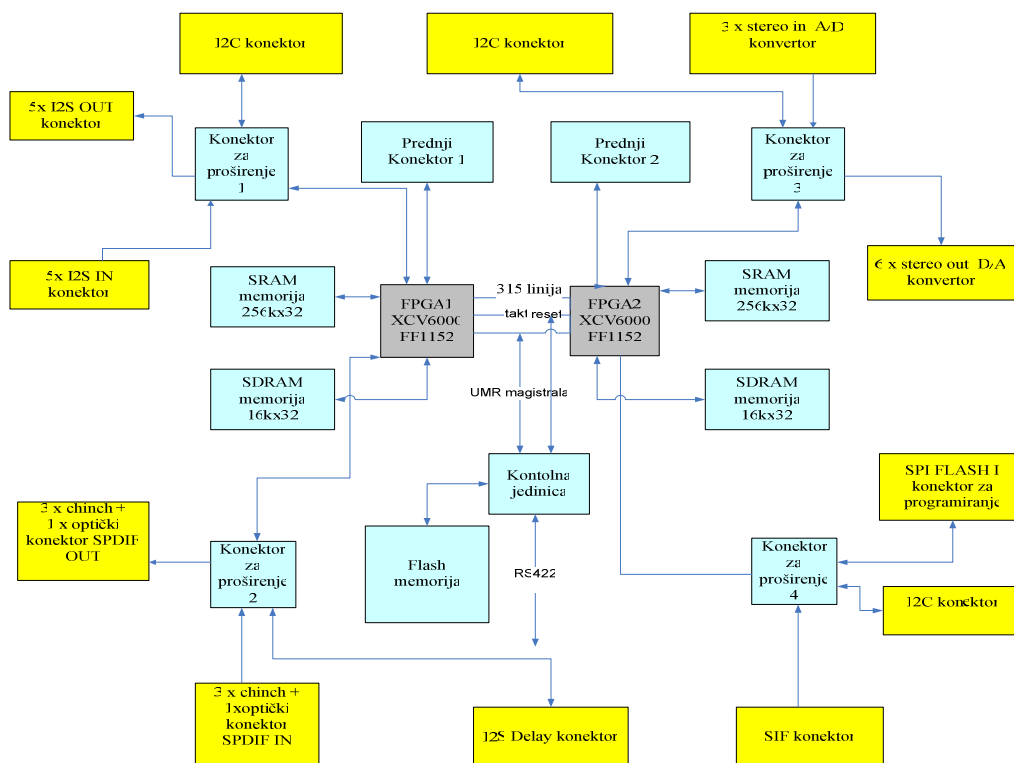
Kao FPGA platforme se najčešće koriste gotovi uređaji sa odgovarajućom programskom podrškom. U ovom slučaju je korišćena razvojna platforma CHIPit Gold Professional, firme Pro Design [7].

Za spregu DSP-a sa okruženjem, preko I2S i I2C (*Inter Integrated Circuit*) sprega, korišćena je VERI ploča za proširenje CHIPit platforme sa analognim i digitalnim spregama (Sl. 1).



Sl. 1 CHIPit platforme i VERI ploče

Blok šema CHIPit platforme povezane na VERI ploču prikazana je na Sl. 2. Žutom bojom su označeni podsistemi na VERI ploči, a svetlo plavom podsistemi na CHIPit ploči. VERI ploča je razvijena tokom rada na projektu. Ona ima spregu ka analognom audio okruženju. Analogna sprega sadrži 6 x puta stereo DA konverter i 3 x stereo AD konverter. Brzina odabiranja ovih konvertora je 192kHz, a rezolucija 24 bita. VERI ploča takođe sadrži spregu ka digitalnom audio okruženju. Digitalnu spregu čine: jedan I2S DELAY konektor, pet I2S IN i I2S OUT konektora, jedan SPDIF OUT optički i tri chinch konektora i jedan SPDIF IN optički i tri chinch konektora. VERI ploča ima spregu i za digitalnu I2C komunikaciju brzine 100 kb/s. VERI ploča sadrži i dodatnu korisničku fleš memoriju (SPI sprega) od 4 MB. VERI ploča ima još i SIF (sound IF) konektor.



Sl. 2 Blok šema CHIPit platforme i VERI ploče

Da bi se izvršila verifikacija FPGA platforme koristi se PC program za kontrolu DSP-a preko I2C [6] spreznog podsistema. Ova sprega omogućuje upisivanje podataka u registre i SRAM memoriju DSP-a. Time je omogućeno

upisivanje test programa u konfigurabilni memorijski blok i počinjanje njegovog izvršavanja, čime je izbegnuta ponovna sinteza FPGA projekta pri svakoj izmeni

izvornog koda DSP programske podrške, što bi višestruko uporilo proces verifikacije.

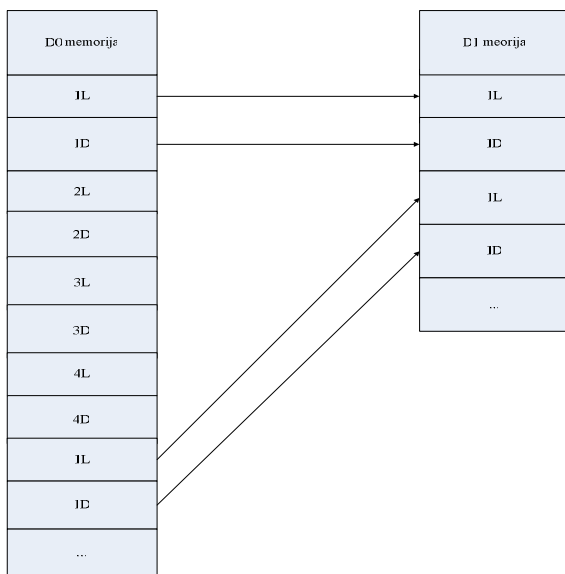
#### V. TESTIRANJE PRILAGOĐENOG IP JEZGRA I IMPLEMENTACIJE NA FPGA PLATFORMI

Test za verifikaciju memorije podataka D0 kao i za memoriju podataka D1 upisuje podatke u sve njihove memorijske lokacije, koje se zatim očitavaju i te očitane vrednosti se upoređuju sa željenim vrednostima. Za svaki slučaj odstupanja vrednosti očitane memorije od željene vrednosti memorijske lokacije vrednost određenog registra se uvećava za jedan. Na kraju testa za verifikaciju ima se uvid u broj grešaka koje su nastale pri izvršavanju operacija nad memorijom.

Pri verifikaciji programskog ROM-a upisani su podaci u celu programsku memoriju. Test za verifikaciju se sastojao u tome da se ispita da li su sve instrukcije u okviru programskog ROM-a izvršene.

U testu za verifikaciju konfigurabilne memorije upisani su podaci u celu konfigurabilnu memoriju. Prvo je izvršen deo testa za verifikaciju rada kada se konfigurabilna memorija ponaša kao programska memorija tako što su ispitane sve instrukcije na izvršenje. Zatim je obavljen deo testa za verifikaciju kada se konfigurabilna memorija ponaša kao memorija podataka tako što se pročitani sadržaj poredio sa željenom vrednošću.

Test za verifikaciju rada višekanalne I2S sprege se sastoji u sekvencijalnom punjenju D0 memorije sa podacima koji dolaze preko I2S ulaza. Podaci dolaze serijski preko četiri kanala, kroz svaki kanal prolaze dva podatka (četvorokanalni stereo podaci). Posle toga se prebacuju podaci jednog kanala sa D0 memorije na D1 memoriju (Sl. 3). Kanal sa kojeg se prebacuju podaci se može menjati preko programa za kontrolu I2C sprežnog podsistema (menjajući vrednost željenog kanala preko vrednosti određenog registra). Na kraju se podaci iz D1 memorije podataka šalju na I2S izlaz.



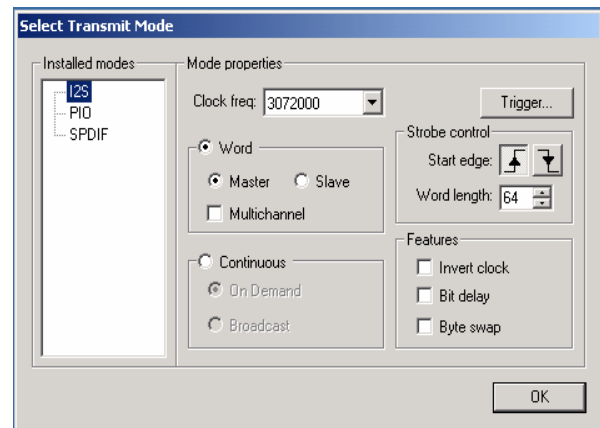
Sl. 3 Šematski prikaz prenosa podataka sa D0 na D1 memoriju

Za testiranje I2S sprege koristi se poseban programski paket i PCI kartica - MST PCI [10], razvijeni u firmi MicronasNIT za testiranje digitalnih audio sprege. Podaci iz ulazne datoteke se šalju u D0 memoriju preko I2S ulaza i očitavaju se podaci sa D1 memorije preko I2S izlaza u izlaznu datoteku.

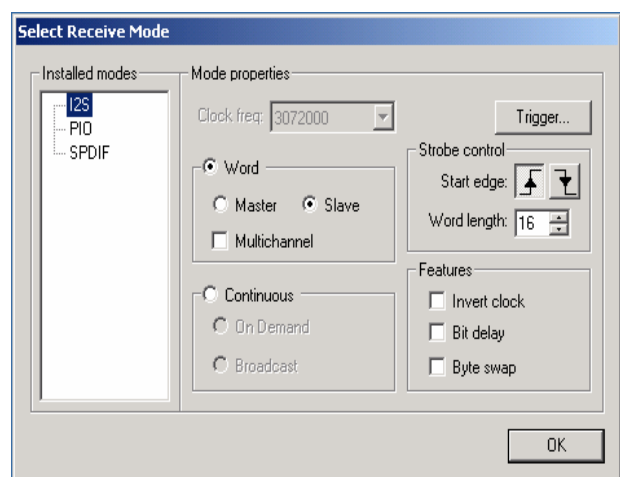
U slučaju slanja podataka sa MST PCI kartice, MST PCI se ponaša kao vodeći (MASTER) (on generiše signal takta i signal za izbor reči) . Prenos podataka je jednokanalni. Frekvencija signala takta je 3,072 MHz, a dužina reči je 64 bita (time se simulira dvokanalni stereo signal - 4x16 bita). Signal za izbor reči kao i takt signal su aktivni na rastuću ivicu (Sl. 4).

U slučaju prijema podataka MST PCI se ponaša kao prateći (SLAVE) (signal takta i signal za izbor reči generiše DSP). Prenos podataka je jednokanalni. Frekvencija signala takta je 3,072 MHz, a dužina reči je 16 bita. Signal za izbor reči kao i takt signal su aktivni na rastuću ivicu (Sl. 5).

Preko višekanalne I2S [5] sprege je ostvarena komunikacija DSP-a sa "audio okruženjem" (Tabela 1).



Sl. 4 Izgled prozora za podešavanje parametara za slanje podatka kod MST PCI



Sl. 5 Izgled prozora za podešavanje parametara za prijem podatka kod MST PCI

Tabela 1: Podržani načini rada I2S sprege

Broj kanala	4 x stereo (8 x mono)	2 x stereo (4 x mono)	1 x stereo (2 x mono)
Frekvencija odabiranja audio signala	24kHz	48kHz	96kHz

Pristup spoljnim podacima sa I2S sprege i smeštanje tih podataka u memoriju podataka DSP-a kao i uzimanje podataka iz memorije podataka DSP-a i prosleđivanje ka I2S sprezi, se obavljaju preko DMA (*Direct Memory Access*).

Postignute performanse rešenja platforme za verifikaciju rada audio kodeka su : 40,5 MHz radna frekvencija DSP-a, postignuta veličina memorije (64K reči D0 memorije podataka, 62K reči D1 memorije podataka, 62K reči programske ROM memorije, 2K reči konfigurabilne RAM memorije) i ispravan rad višekanalne I2S sprege za razmenu podataka DSP-a sa okruženjem.

DSP je projektovan da podrži paralelno dekodovanje četiri toka podataka, koji su kodirani u skladu sa MPEG-1 [2], MPEG-2 [3] i AC-3 [1] standardima za kodiranje zvuka. Takođe, DSP, u paraleli sa dekodovanjem, podržava i kopiranje neizmenjenog (komprimovanog) sadržaja jednog od četiri ulazna toka podataka na izlaz.

## VI. ZAKLJUČAK

U cilju skraćivanja vremenskog perioda pojave novog namenskog procesora na tržištu, potrebno je obezbediti programerima platformu za razvoj programske podrške pre pojave prvih primeraka integrisanog kola.

Polazna tačka u realizaciji zadatka bio je RTL izvorni kod ASIC realizacije DSP-a. Početni korak rešavanja problema je bila izmena RTL koda da bi se kod prilagodio zadatom zahtevu. Izmenjeni RTL kod je bilo potrebno verifikovati i izvršiti sintezu binarnih datoteka za punjenje FPGA. DSP je bilo potrebno verifikovati u realnom vremenu na FPGA platformi sa zadatim skupom testova.

Jedan od budućih koraka razvoja platforme je povećanje radne frekvencije DSP-a, koji se može realizovati korišćenjem „bržih“ FPGA integrisanih kola (CHIPit Platinum sa Virtex4 FPGA integrisanim kolima). Sledeći korak je realizacija višekanalne I2S sprege sa više linija za podatke (za sada je korišćena samo jedna linija za prenos podataka), kao i implementacija drugih audio sprega, npr. SPDIF.

## LITERATURA

- [1] ATSC, United States Advanced Television Systems Committee Digital Audio Compression (AC-3) Standar, Doc.A/52/10,Dec. 1995.
- [2] ISO/IEC 11172-3 :1993 "Coding of moving pictures and associated for digital storage media at up to about 1,5 Mbit/s" Part3: Audio, <http://www.chiariglione.org/mpeg/standards/mpeg-1/mpeg-1.htm>
- [3] ISO/IEC 13818-3: 1998 Information technology "Generic coding of moving pictures and associated audio information" Part3:Audio, <http://www.chiariglione.org/mpeg/standards/mpeg-2/mpeg-2.htm>
- [4] Cadence SimVision User Guide 2004, simvision.pdf.
- [5] I2S bus specification by Philips Semiconductors, February 1986
- [6] I2C bus specification by Philips Semiconductors, updated 1995
- [7] ProDesign electronic & CAD Layout GmbH - CHIPit® Gold Edition, eb2v2.pdf

- [8] Zoltan Pele, Miloš Nikolić, Jelena Bašić, Dragan Simić: Process verifikacije u razvoju razvoju AEP45xxA integralnog kola, Etran , Jul 2004.
- [9] Synplicity Certify partition driven synthesis, User\_guide.pdf
- [10] MST PCI User's guide, MST\_PCI\_User's\_guide.pdf
- [11] Mirko Vucelja, Dragan Simić, Vladimir Đurković, Goran Miljković, Mile Davidović : Jedno rešenje programske podrške za rukovanje audio dekoderom digitalnog TV uređaja, Telfor, novembar 2007.

## ABSTRACT

This paper presents one solution of FPGA platform for early stage of audio CODEC SW development using digital signal processor IP core.

### One solution of FPGA platform for audio CODEC's verification

Nikola Krmpotić, Zoran Krajačević, Mihajlo Katona, Branislav Atlagić