

Poboljšanje performansi magistrale za povezivanje štampanih ploča u računarskom sistemu

Milana Španović

Sadržaj — U radu su razmatrana pitanja vezana za projektovanje magistrala za povezivanje štampanih ploča u složenim računarskim sistemima. Posebno su analizirani problemi uticaja distribuirane kapacitivnosti i terminacije na karakteristike magistrale. Na konkretnom primeru je simulacijom i laboratorijskim merenjem izvršena provera integriteta signala za različite konfiguracije magistrale, na osnovu čega su dati predlozi za poboljšanje realizacije.

Ključne reči — distribuirana kapacitivnost, integritet signala, karakteristična impedansa, magistrala za interkonekciju.

I. Uvod

MAGISTRALNE za povezivanje štampanih ploča se koriste za fizičko i električno povezivanje modula u uređajima. Često se koristi konfiguracija u kojoj magistralom upravlja jedan primopredajnik dok ostali moduli komuniciraju preko njega. U ovom radu se razmatra takva konfiguracija. U radu se polazi od teorijskih aspekata datih u [1]-[4]. Pri projektovanju terminacije korišćeni su rezultati iz [3], ali zbog drugačijih strujnih mogućnosti primopredajnog kola, neophodno je bilo obratiti pažnju i na neke dodatne aspekte.

U sistemima u kojima je dužina signalnih linija veća od šestine električne dužine ivice signala, magistralu moramo da posmatramo kao transmisionu vodove što zahteva složenije projektovanje da bi se postigle željene performanse.

U radu su opisane karakteristike magistrale za povezivanje modula u multiplexerskom uređaju za prenos signala telezaštite (TZ600) koji je razvijen na Institutu Mahajlo Pupin. Na modelu ove magistrale su simulirani efekti transmisionih vodova, zatim su rezultati simulacije provereni laboratorijskim merenjem i dati su predlozi za poboljšanje performansi.

Dodavanje opterećenja na magistralu u vidu štampanih ploča menja karakteristike te magistrale odakle sledi da su performanse sistema funkcija opterećenja. Ova opterećenja su u opsegu u kome želimo da postignemo rad (do 25 MHz) kapacitivnog karaktera. Ako je električna dužina ivice signala veća od rastojanja između susednih ploča, tada uticaj opterećenja ne možemo posmatrati kao diskretna kapacitivna opterećenja već ga posmatramo kao doprinos efektivnoj kapacitivnosti transmisionog voda.

Milana Španović, Fakultet tehničkih nauka, Novi Sad, Srbija (telefon: 381-64-2655767; e-mail: milanaaa@gmail.com).

Dodavanjem opterećenja na magistralu, smanjujemo efektivnu karakterističnu impedansu i povećavamo vreme propagacije [1].

Kako je magistrala projektovana da radi sa incidentnim signalima, potrebno je da sprečimo refleksiju terminacijom signalnih linija. Pri odabiru terminacije pre svega treba imati u vidu zavisnost efektivne karakteristične impedanse od broja ploča na magistrali. Terminacija takođe utiče na naponske nivoe signala, a zbog očuvanja integriteta signala potrebno je obezbediti odgovarajuće margine smetnji. Još jedan bitan kriterijum pri odabiru terminacije je disipacija na terminaciji.

II. OPIS SISTEMA

Magistrala je projektovana tako da se sastoji iz četiri sloja. Dva spoljašnja su namenjena signalnim linijama dok dva unutrašnja predstavljaju ravan mase i ravan napajanja. Slojevi izolatora ispod signalnih slojeva su debljine 330 μm . Izolator između ravni mase i ravni napajanja je debljine 1670 μm . Sve signalne linije su realizovane kao mikrostrip vodovi širine 228.6 μm i debljine 42.5 μm . Kao izolator se koristi materijal FR4 čija relativna dielektrična permitivnost iznosi 4.5. Na osnovu ovih vrednosti, dobijamo da je karakteristična impedansa vodova na neopterećenoj magistrali 77.25 Ω . Kašnjenje kroz vod je 58.27 ps/cm, podužna induktivnost voda je 4.514 nH/cm, a podužna kapacitivnost 0.756 pF/cm.

Jedan od parametara koji se moraju proveriti pri projektovanju je preslušavanje. Preslušavanje je kod mikrostrip vodova funkcija gustine linija na magistrali, tj. rastojanja između dve susedne linije kao i debljine sloja izolatora ispod signalne linije. Minimalna gustina linija na magistrali je određena fizičkim dimenzijama konektora. U slučaju korišćenog Eurocard type C konektora, raster izvoda konektora je 2.54 mm (100 mils), a u svakom redu se nalaze 3 pina, tako da je razmak između linija na magistrali 0.85 mm u najgorem slučaju kada su sva tri pina signalna. Međutim, ako je raspored pinova podešen tako da je uvek jedan od tri pina na masi, onda je rastojanje između signalnih linija na magistrali 1.27 mm. Za oba slučaja ćemo odrediti preslušavanje po formuli

$$\text{preslušavanje} = \frac{k}{1 + (D/H)^2} \quad (1)$$

gde je $k < 1$, D je rastojanje između linija, a H debljina sloja izolatora [1]. Za rastojanje od 0.85 mm dobijamo preslušavanje od 13.19%, a za rastojanje od 1.27 mm, preslušavanje je 6.32%. Preslušavanje za rastojanje

1.27 mm je prihvatljivo dok za 0.85 mm već ne bi bilo. Zbog toga je predviđeno da u svakom redu jedan pin bude na masi pa imamo da je minimalno rastojanje između signalnih linija 1.27 mm. Prelomna frekvencija, ispod koje se signalna linija ponasa kao RC transmisiona linija, a iznad koje kao transmisiona linija sa malim gubicima iznosi

$$\omega = \frac{R}{L} = 1.2 \text{ MHz} \quad (2)$$

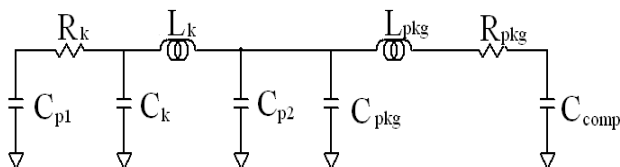
Ovako niska prelomna frekvencija je potvrda da je transmisione vodove teško dovesti u RC režim. Stoga ćemo nadalje signalne linije smatrati vodovima sa malim gubicima.

Na magistrali je ukupno raspoređeno 20 konektora za ploče i to po 10 sa svake strane. Rastojanje između susednih ploča je 30 mm osim između pete (upravljačke) i šeste ploče gde iznosi 70 mm.

Kao primopredajno kolo koristi se SN74ALVC164245 proizvođača Texas Instruments.

III. REZULTATI SIMULACIJE

Na sl. 1 je prikazana ekvivalentna šema opterećenja na magistrali za povezivanje modula u uređaju TZ600 koje predstavlja kombinaciju konektora i štampane ploče.



Sl. 1. Ekvivalentna šema opterećenja

R_k je otpornost konektora, C_k je kapacitivnost, a L_k induktivnost konektora. C_{p1} je kapacitivnost spoja konektor-magistrala, a C_{p2} kapacitivnost spoja konektor-ploča. C_{comp} je kapacitivnost digitalnog ulaza, C_{pkg} kapacitivnost pina integrisanog kola, R_{pkg} otpornost, a L_{pkg} induktivnost pina integrisanog kola. Ako koristimo standardni Eurocard konektor (type C) i bafer ALVC164245 u SSOP kućištu, vrednosti parametara sa sl. 1 su date u [5] i [7] i prikazane u tabeli 1.

TABELA 1: PARAMETRI EKVIVALENTNE ŠEME OPTEREĆENJA ZA EUROCARD KONEKTOR (TYPE C) I SSOP KUĆIŠTE BAFERA.

| C_{p1} | R_k | L_k | C_k | C_{p2} | C_{pkg} | L_{pkg} | R_{pkg} | C_{comp} |
|----------|-------|---------|--------|----------|-----------|-----------|-----------|------------|
| 0.5 pF | 8 mΩ | 10.3 nH | 1.5 pF | 0.5 pF | 1.15 pF | 8 nH | 50 mΩ | 8.5 pF |

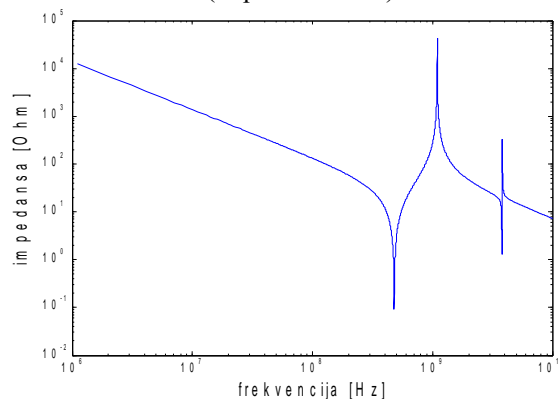
Ukupno opterećenje na magistrali (konektor i bafer) se ponasa kao kapacitivnost 12.15 pF sve do ucestanosti 280 MHz. Frekvencija 391 MHz je prva rezonantna ucestanost (impedansa pada na nulu), a frekvencija 867 MHz je druga rezonantna ucestanost (impedansa raste).

Malo poboljšanje performansi se može uvesti korišćenjem kvalitetnijih konektora (enhanced type C Eurocard konektor) i bafera u BGA kućištu. Vrednosti parametara sa sl. 1 za ovaj slučaj su uzete iz [5] i [6] i date u tabeli 2.

TABELA 2: PARAMETRI EKVIVALENTNE ŠEME OPTEREĆENJA ZA EUROCARD KONEKTOR (ENHANCED TYPE C) I BGA KUĆIŠTE BAFERA.

| C_{p1} | R_k | L_k | C_k | C_{p2} | C_{pkg} | L_{pkg} | R_{pkg} | C_{comp} |
|----------|-------|--------|--------|----------|-----------|-----------|-----------|------------|
| 0.5 pF | 8 mΩ | 9.4 nH | 1.7 pF | 0.5 pF | 0.4 pF | 2.7 nH | 90 mΩ | 8.5 pF |

U ovom slučaju se opterećenje koje unose bafer i konektor ponasa kao kapacitivnost 11.6 pF sve do ucestanosti 300 MHz. Frekvencija 480 MHz je prva rezonantna ucestanost, a frekvencija 1.1 GHz je druga rezonantna ucestanost (impedansa raste).



Sl. 2. Ekvivalentna impedansa opterećenja u zavisnosti od frekvencije za enhanced Eurocard konektor i BGA kućište

Ako je frekvencijski sadržaj signala ispod 300 MHz ili 280 MHz za prvu varijantu konektora i kućišta, ovo opterećenje se ponasa kapacitivno. Da bismo postigli kapacitivno ponašanje opterećenja, moramo da ograničimo spektar signala tako što ćemo mu usporiti ivice. Ako pretpostavimo da je električna dužina ivice signala dovoljno velika da kapacitivno opterećenje možemo da posmatramo kao doprinos podužnoj kapacitivnosti voda, taj doprinos će u najgorem slučaju iznositi 7.97 pF/cm. Taj slučaj se javlja kada se koriste sve ploče. Kao posledicu imamo smanjenje karakteristične impedanse i povećanje kašnjenja kroz vod ($Z_0' = 22.75 \Omega$, $t_{pd}' = 198 \text{ ps/cm}$).

Ako usvojimo da aproksimacija opterećenja povećanom podužnom kapacitivnošću važi kada je električna dužina ivice signala šest puta veća od rastojanja između susednih ploča, dobijamo minimalnu vrednost vremena porasta za koju možemo da primenimo ovu aproksimaciju.

$$tr > 6.55 \text{ ns}$$

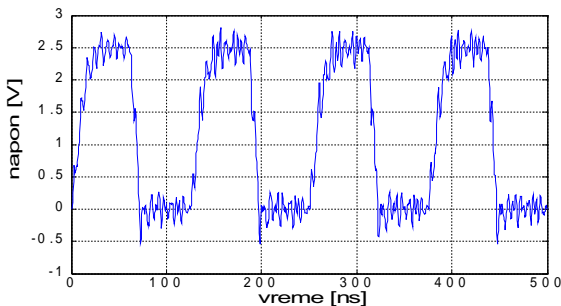
Istim kriterijumom ćemo odrediti minimalno vreme porasta za koje se signalne linije na magistrali ponasaju kao elementi sa koncentrisanim parametrima tj. minimalno vreme porasta za koje nema refleksije na samoj magistrali. Potrebno vreme porasta iznosi 36.91 ns što predstavlja problem jer maksimalno vreme porasta na ulazu kola ALVC164245 neophodno za ispravan rad iznosi 10ns/V.

Simulacija je izvedena u paketu Mentor Graphics. Korišćen je IBIS model kola SN74ALVC164245. Cilj simulacije je bio da se proveriti uticaj različitog opterećenja na performanse sistema i da se u skladu sa rezultatima pronađu optimalna rešenja.

Da bismo stekli sliku o efektima transmisioh vodova, potrebno je proveriti integritet signala na najbližem i najudaljenijem prijemniku. Na najudaljenijem je najveće kašnjenje pa od njega zavisi ostvariva brzina. Na

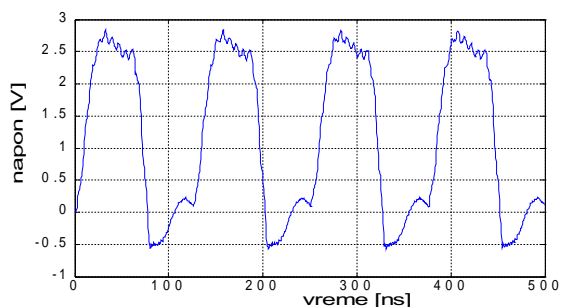
najbližem prijemniku je najbrža ivica pa su i efekti transmissionog voda najizraženiji [2].

Na sl. 3 je prikazan signal na najbližoj ploči pri maksimalnom opterećenju i bez terminacije na vodu. Sa slike se vide refleksije kao posledica suviše kratke električne dužine ivice signala. Ove refleksije predstavljaju problem jer se ovom magistralom prenosi i signal takta i u slučaju oscilovanja oko pragova naponskih nivoa može doći do nepravilnog okidanja. Stoga, da bismo obezbedili pouzdan rad uređaja, pre svega moramo da pronađemo način za usporavanje ivice signala.



Sl. 3. Izgled signala na najbližoj ploči pri maksimalnom opterećenju i bez terminacije na krajevima

Jedan od efikasnih načina je korišćenje feritnog elementa. Feritni elementi koriste veliku disipaciju energije na većim frekvencijama pa se mogu predstaviti kao elementi sa promenljivom otpornošću. Oni su induktivnog karaktera pa imaju malu impedansu na nižim frekvencijama, a na većim impedansa naglo raste. Na taj način ograničavaju spektar signala. Impedansa je funkcija frekvencije, materijala i fizičkih dimenzija. U simulaciji je korišćen feritni element muRata BLM11B750D-75. Na sl. 4 vidimo poboljšanje koje se postiže ubacivanjem ovog feritnog elementa.

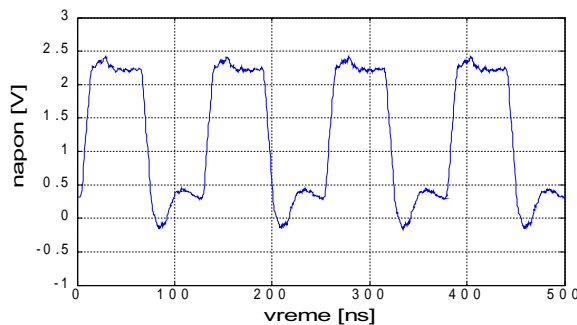


Sl. 4. Izgled signala na najbližoj ploči pri maksimalnom opterećenju, bez terminacije, sa ubačenim feritnim elementom muRata BLM11B750D-75

Na ovaj način smo rešili problem refleksije na samim pločama i sada efekte opterećenja posmatramo kao doprinos efektivnoj kapacitivnosti. Međutim, i dalje je prisutan problem refleksije sa krajeva voda koji se manifestuje u vidu prebačaja i podbačaja. Ovaj problem se rešava terminacijom. Magistrala sa maksimalnim opterećenjem ima drastično manju vrednost efektivne karakteristične impedanse od vrednosti pri neopterećenoj magistrali. Međutim, ukoliko se ne koriste sve ploče, vrednost karakteristične impedanse je između ove dve ekstremne vrednosti. Pošto je magistrala projektovana da radi sa incidentnim signalima, poželjno je da vrednost

rezistivne terminacije bude manja ili jednaka karakterističnoj impedansi [3]. Međutim, terminacija manje vrednosti bi, u ovom slučaju, imala preveliku disipaciju. Zbog smanjenja disipacije, koriste se dva otpornika od kojih je jedan povezan na masu, a drugi na napajanje i ekvivalentna vrednost njihove paralelne veze treba da bude usklađena sa efektivnom karakterističnom impedansom. Manja terminacija prema napajanju povećava vrednost V_{OH} , ali i V_{OL} , ali nešto sporije [4]. Pri odabiru ovih vrednosti treba voditi računa i o strujnim mogućnostima pobudnog kola. Maksimalna struja koju SN74ALVC164245 može da da u oba logička stanja je 24 mA. Povećanje struje rezultuje pomeranjem nivoa logičke jedinice i nule tako da se smanjuju margine smetnji. Na osnovu ovih zahteva pronađeno je optimalno rešenje za vrednosti otpornika $R_{pull-up} = 150 \Omega$ i $R_{pull-down} = 75 \Omega$. Ekvivalentna otpornost njihove paralelne veze je 50Ω . Ukupna disipacija na terminaciji je 0.11 W što ne predstavlja problem za pojedinačne otpornike, ali s obzirom da je na magistrali postavljeno 18 takvih terminacija (ukupno 1.98 W) na dužini od 6.35 cm može da predstavlja problem zbog zagrevanja.

Na sl. 5 se vidi da su prebačaji u slučaju sa terminacijom na jednom kraju znatno manji nego u slučaju bez terminacije. Margine smetnji za slučaj terminacije na jednom kraju iznose $V_{THM} = 1.82 V$ i $V_{TLM} = 300 mV$.



Sl. 5. Signal na najbližem prijemniku pri maksimalnom opterećenju sa terminacijom na jednom kraju

Provera integriteta signala u slučaju terminacije na oba kraja nije pokazala značajnija poboljšanja, a margine smetnji su smanjene jer predajnik ne može da da dovoljno struje za postizanje logičkih nivoa pa se usvaja rešenje sa terminacijom na jednom kraju kao optimalno.

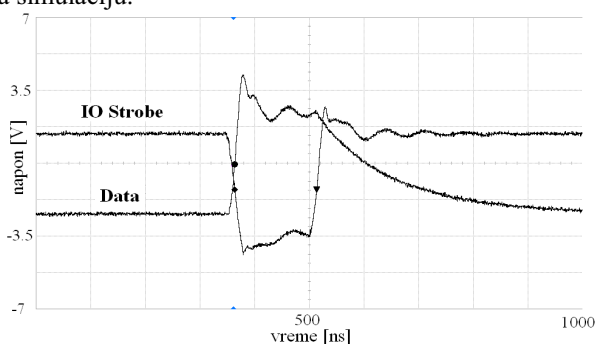
Vršena je i simulacija slučaja sa manjim opterećenjem i to dva puta manjim i četiri puta manjim kao i sa neravnomernim rasporedom opterećenja. U slučaju manjeg opterećenja, sistem pokazuje bolje performanse, manje prebačaje i podbačaje i brži ulazak u ustaljeno stanje. Simulirano je neravnomerno opterećenje u blizini predajnika i udaljeno od predajnika (po 4 ploče). U oba slučaja nema bitne razlike u odnosu na ravnomerno opterećenje. Maksimalna frekvencija koja bi se mogla dostići uz uvođenje feritnog elementa i terminacije na jednom kraju je 15 MHz.

IV. REZULTATI LABORATORIJSKOG MERENJA

Laboratorijskim merenjem su verifikovani rezultati dobijeni simulacijom. Na raspolaganju je bila magistrala za povezivanje modula u uređaju TZ600, pet prijernih

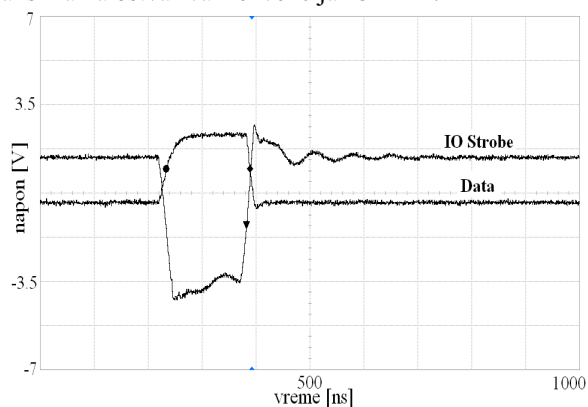
ploča i jedna upravljačka. U prvoj konfiguraciji, ploče su raspoređene na četiri mesta levo i jedno (najbliže) desno od upravljačke ploče. Sve ploče su se nalazile na prednjoj strani magistrale. Sva merenja su izvršena osciloskopom Infiniium DSO8104A proizvođača Agilent Technologies, propusnog opsega 1GHz. Korišćene su sonde sa odnosom 20:1 niske kapacitivnosti i propusnog opsega 1GHz. Merenje je vršeno na tri signala od kojih je jedan bio pored predajnika, a druga dva na krajevima magistrale (najudaljeniji). Na pločama su postavljeni feritni elementi BK1005HM471-T. Kako nije bio na raspolaganju model ove komponente za simulaciju, u simulaciji je korišćen model BLM11B750D-75 koji ima slične karakteristike kao BK1005HM471-T.

Na sl. 6 je prikazan signal na liniji za podatke i signal IO Strobe u slučaju bez terminacije. Ova merenja su pokazala izuzetnu sličnost sa rezultatima simulacije za istu konfiguraciju što pokazuje da je napravljen dobar model za simulaciju.



Sl. 6. Signal na liniji za podatke bez terminacije

Na sl. 7 je prikazan signal za podatke sa terminacijom na jednom kraju. Zbog terminacije, nivo signala u stanju visoke impedanse iznosi 1.67 V. Rastuća ivica signala pri prelasku u stanje logičke jedinice je nešto sporija od opadajuće (sl. 7). Razlog tome je preslušavanje jer u isto vreme imamo promenu i na susednom signalu R/W. Maksimalno izmereno preslušavanje iznosi 930 mV. Kada nema preslušavanja, rastuća i opadajuća ivica su iste dužine i vreme porasta iznosi 23 ns. Kada je prisutno preslušavanje, vreme porasta iznosi 36 ns pa je maksimalna ostvariva frekvencija 13 MHz.



Sl. 7. Signal na liniji za podatke sa terminacijom na jednom kraju

Margine smetnji izmerene na ovoj liniji su $V_{THM} = 2.2$ V i $V_{TLM} = 540$ mV što je nešto bolji rezultat od onog dobijenog simulacijom. Terminacija na oba kraja

daje manje margine smetnji zbog strujnih mogućnosti predajnog kola i kao posledica toga, preslušavanje je izraženije zbog čega je vreme porasta duže ($t_r = 62$ ns).

V. ZAKLJUČAK

U radu su prikazane posledice refleksije signala usled neusaglašenosti impedanse primopredajnika i karakteristične impedanse voda kao i malog vremena porasta. U radu se predlaže ubacivanje feritnog elementa u cilju ograničavanja spektra signala i terminacija sa jedne strane koja smanjuje prebačaj i podbačaj i daje zadovoljavajuće margine smetnji. Pored ovoga, moguće je koristiti kvalitetnije konektore i na taj način smanjiti distribuiranu kapacitivnost, ali simulacija nije pokazala značajnije poboljšanje u tom slučaju.

ZAHVALNICA

Srdačno se zahvaljujem osoblju Instituta Mihajlo Pupin koje mi je omogućilo da realizujem ovaj rad. Posebno se zahvaljujem dipl. ing. Nikoli Nenadiću na stručnoj pomoći i korisnim sugestijama koje su mi bile potrebne u toku izrade rada.

LITERATURA

- [1] H. W. Johnson, M. Graham, "High-Speed digital design: a handbook of black magic", Ed. New Jersey: Prentice Hall, 1993.
- [2] J. Goldie, J. Chen, "A baker's dozen of high-speed differential backplane design tips" presented at 2000 High-Performance Design Conference.
- [3] S. Balasubramaniam, R. Ammar, E. Cox, J. M. Soltero, "Basic design considerations for backplanes", Application Note SZZA016, Texas Instruments, June, 1999.
- [4] R. C. Klem, "Signal integrity, bandwidth and backplane termination", Fairchild Semiconductor Corporation, Systems Chip 99, Oct. 1999.
- [5] SN74ALVC164245, 16-bit 2.5-V to 3.3-V/3.3-V to 5-V level-shifting transceiver with 3-state outputs, Datasheet SCAS4160, Texas Instruments, March, 1994.
- [6] AMP Single Line Model Datasheet. Eurocard, Enhanced Type C, 0.100 CL, 3 Row, Available: http://www.tycoelectronics.com/documentation/spiceelectricalmodels/files/slm/Euro_EnC_100CL_3Row+2_RA-P_V-R_TH.pdf.
- [7] AMP Single Line Model Datasheet. Eurocard, Type C, 0.100 CL, 3 Row, Available: http://www.tycoelectronics.com/documentation/spiceelectricalmodels/files/slm/Euro_C_100CL_3Row_RA-P_V-R_TH.pdf.

ABSTRACT

This paper describes issues concerning design of backplanes in modern computer systems. In order to analyze such a complex problem, the influence of distributed capacitance on a transmission line and termination effects has been discussed. An actual example of a backplane was used to show quality of signal integrity along the transmission line by laboratory measurement and simulation. Based on this result, suggestions for upgrade were given.

COMPUTER BACKPLANE PERFORMANCE IMPROVEMENT

Milana Španović